

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

4433541

Basic Patent (No,Kind,Date): DE 3317954 A1 831117 <No. of Patents: 005>

HALBLEITERBAUELEMENT (German)

Patent Assignee: CANON KK (JP)

Author (Inventor): NAKAGIRI KATSUMI (JP); KOMATSU TOSHIYUKI (JP);
OSADA YOSHIYUKI (JP); OMATA SATOSHI (JP); HIRAI YUTAKA (JP); NAKAGIRI
TAKASHI (JP)

IPC: *H01L-029/14; H01L-029/72; H01L-029/76

CA Abstract No: *100(04)028699S;

Derwent WPI Acc No: *C 83-821992;

Language of Document: German

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
DE 3317954	A1	831117	DE 3317954	A	830517 (BASIC)
DE 3317954	C2	911010	DE 3317954	A	830517
JP 58199564	A2	831119	JP 8282651	A	820517
JP 94058966	B4	940803	JP 8282651	A	820517
US 4766477	A	880823	US 885336	A	860711

Priority Data (No,Kind,Date):

JP 8282651 A 820517

US 494049 A1 830512

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

01262164 **Image available**

SEMICONDUCTOR ELEMENT

PUB. NO.: **58-199564** [JP 58199564 A]

PUBLISHED: November 19, 1983 (19831119)

INVENTOR(s): NAKAGAWA KATSUMI

 KOMATSU TOSHIYUKI

 OSADA YOSHIYUKI

 KOMATA TOMOJI

 HIRAI YUTAKA

 NAKAGIRI TAKASHI

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 57-082651 [JP 8282651]

FILED: May 17, 1982 (19820517)

INTL CLASS: [3] H01L-029/78; H01L-021/203; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R020 (VACUUM TECHNIQUES); R096 (ELECTRONIC MATERIALS --
Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 229, Vol. 08, No. 44, Pg. 71,
February 25, 1984 (19840225)

ABSTRACT

PURPOSE: To obtain excellent semiconductor characteristics and high reliability of a semiconductor element by forming a main part of a polycrystalline silicon semiconductor layer which contains as a constituent at least one selected from carbon, sulfur and oxygen.

CONSTITUTION: A polycrystalline silicon semiconductor layer of a semiconductor element contains one selected from carbon, sulfur, nitrogen and oxygen. Two or more may be selected from them. When the polycrystalline silicon semiconductor layer is formed to take the density of hydrogen atom contained in the polycrystalline silicon semiconductor layer, etching velocity of the semiconductor layer, the rugged property of the surface of the layer, and further the orientation and crystal grain size of the polycrystal within the specific numerical value range, it is further effective. As in the embodiment, a polycrystalline silicon thin film 101 is formed by a glow discharge decomposition method on a substrate 100, and used to form a TFT.

⑫ 公開特許公報 (A)

昭58—199564

⑤ Int. Cl.³
H 01 L 29/78
// H 01 L 21/203
27/12

識別記号 庁内整理番号
7377—5F
7739—5F
8122—5F

④ 公開 昭和58年(1983)11月19日
発明の数 1
審査請求 未請求

(全 15 頁)

⑤ 半導体素子

② 特 願 昭57—82651

② 出 願 昭57(1982)5月17日

⑦ 発 明 者 中川克己
東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 小松利行
東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 長田芳幸
東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 小俣智司
東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 平井裕
東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 発 明 者 中桐孝志
東京都大田区下丸子3丁目30番
2号キャノン株式会社内

⑦ 出 願 人 キャノン株式会社
東京都大田区下丸子3丁目30番
2号

⑦ 代 理 人 弁理士 丸島儀一

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

- (1) 炭素、硫黄、酸素の中から選択される少なくとも1つを構成要素として含有する多結晶シリコン半導体層で、その主要部を構成したことを特徴とする半導体素子。
- (2) 炭素が0.01～10 atomic %含有されている特許請求の範囲第1項に記載の半導体素子。
- (3) 硫黄が0.03～5 atomic %含有されている特許請求の範囲第1項に記載の半導体素子。
- (4) 酸素が0.01～5 atomic %含有されている特許請求の範囲第1項に記載の半導体素子。

3. 発明の詳細な説明

本発明は電界効果薄膜トランジスタ等の半導体素子に関し、更に詳細には多結晶シリコン薄膜半導体層でその主要部を構成した半導体素子に関するものである。

最近、画像読取用としての、長尺化一次元フ

ォトセンサや大面積化二次元フォトセンサ等の画像読取装置の走査回路部、或いは液晶(LCと略記する)や、エレクトロクロミック材料(ECと略記する)或いはエレクトロルミネッセンス材料(ELと略記する)を利用した画像表示デバイスの駆動回路部を、これ等の大面積化に伴って所定の基板上に形成したシリコン薄膜を素材として形成することが提案されている。

斯かるシリコン薄膜は、より高速化、より高機能化された大型の画像読取装置や画像表示装置の実現から、非品質であるよりも多結晶であることが望まれている。その理由の1つとして上記の如きの高速、高機能の読取装置の走査回路部や画像表示装置の駆動回路部を形成する為の素材となるシリコン薄膜の性能を従来値として例えば薄膜トランジスタ(TFT)の実効キャリア移動度(effective carrier mobility) μ_{eff} としては、大きいことが要求されるが、通常の放電分解法で得られる非品質シリコン薄膜に於いては補々0.1 $\text{cm}^2/\text{V} \cdot \text{sec}$ 程度であつて、

単結晶シリコンで作成したMOS型トランジスタに較べて遙かに劣り、所望の要求を満たすものでないことが挙げられる。この移動度 μ_{eff} の小ささは、1つには非晶質シリコン薄膜固有の特性であるHall移動度が小さいことから、非晶質シリコン薄膜は薄膜作成上の容易さと生産コストの安価を生かし切れないういう不都合さを内在している。又、非晶質シリコンは本質的に経時変化が内在していて単結晶に比べて劣る。

これに対して、多結晶シリコン薄膜は、実際に測定されたデータからも非晶質シリコン薄膜に較べてHall移動度自体が大きく、薄膜トランジスタにしたときのその移動度 μ_{eff} が遙かに大きく、理論的には現在得られている値よりも、更に大きな値の移動度 μ_{eff} を有するものが作成され得る可能性を有している。又、経時変化に關しても安定であることが期待される。

多結晶シリコン薄膜を所定の基板上に大面積に亘つて作成する方法としては、

3

中から選択される少なくとも1つを構成要素として含有する多結晶シリコン半導体層で、その主要部を構成したことを特徴とする。

上記の様な構成とすることによつて、前述した問題の全てが解決し得、優れた半導体特性と高い信頼性を有する半導体素子と成り得る。

本発明の半導体素子は、上記の構成を有するものであるが、更に効果的に本発明の目的を達成するには、多結晶シリコン半導体層中に含有される水素原子の濃度、半導体層のエッチング速度、層表面の凹凸性、更には多結晶の配向性や結晶粒径の値が特定の数値範囲内の値を取る様に多結晶シリコン半導体層を形成すれば良い。

本発明の半導体素子に於ける多結晶シリコン半導体層中に含有される水素原子の量は、好ましくは、3 atomic%以下、より好ましくは、0.01~3 atomic%とされるのが望ましく、或いは又、形成される半導体層の層表面の凹凸の最大が実質的に800Å以下であるのが望ましい。

更には、弗酸(50 vol %水溶液)・硝酸(d

CVD (Chemical Vapour Deposition) 法、LP CVD (Low Pressure Chemical Vapour Deposition) 法、MBE (Molecular Beam Epitaxy) 法、IP (Ion Plating) 法、GD (Glow Discharge) 法等が知られている。

いずれの方法においても、基板温度は異なるが、大面積の基板の上に多結晶シリコン薄膜が作製できることが知られている。

しかしながら、従来、これらの方法によつて作製された多結晶シリコン薄膜半導体層で主要部を構成した半導体素子或いは半導体デバイスが所望された特性及び信頼性を充分発揮できないのが現状であつた。

本発明は上記諸点に鑑み成されたもので、従来の諸問題を解決した半導体素子を提供することを主たる目的とする。

本発明の別の目的は、優れた半導体特性と、高い信頼性を有する半導体素子を提供することでもある。

本発明の半導体素子は、炭素、硫黄、酸素の

4

= 1.38、60 vol %水溶液)・水酢酸から成り、それ等の混合比が1:3:6であるエッチング液によるエッチング速度が20Å/min以下の特性を有する様に半導体層を形成するのが望ましい。

或いは、更に、X線回折パターン又は電子線回折パターンによる(220)の回折強度の割合が全回折強度に対して30%以上であるのが好ましい。

又、半導体層を構成する多結晶シリコンの結晶粒径としては、平均結晶粒径として200Å以上であるのが望ましい。

これ等の上記条件を1つ以上、本発明の構成要件の1つとして加味することによつて、従来例に較べ、より高い比抵抗(ρ)より小さい光学吸収係数(α)を有する多結晶シリコン半導体層が所望の基板上に形成され、より広範囲の分野に渡る半導体素子への応用が充分可能となる。

例えば、従来法に従つて作成された多結晶シリコン薄膜を用いてロチャネル型電界効果薄膜

5

6

トランジスタ (FET) を作成した場合、ゲート電圧を充分低くしているにも拘らず、この状態のドレイン電流 (I_{off}) が、ゲート電圧が充分高い状態のドレイン電流 (I_{on}) に比べて、充分小さくならない場合が、度々起るのが、本発明の半導体素子に於いては全く生じない。

又、脱取装置の脱取部と走査回路部や画像表示装置の画像表示部と駆動回路部とを一体化構成とし、走査回路部や駆動回路部の主要部を多結晶シリコン薄膜で構成する場合、これ等の回路部は外部からの光に晒される機会が多いが、本発明の半導体素子の場合には、半導体層の光吸収係数が著しく小さいので、この様な問題は実用上殆んど無視することが出来、本発明の半導体素子でその主要部を構成すれば優れた回路特性を有する回路部を得ることが出来る。

本発明の半導体素子の主要部を構成する多結晶シリコン半導体層は、水素や、He, Ar, Kr 等の希ガス等で所望濃度に希釈された SiH_4 , Si_2H_6 , Si_3H_8 , Si_4H_{10} 等のシランガスと同時に、形成さ

7

ゲットをスパッタリングする際に前記した各種ガスの中より所望に従つて選択される原料ガスを導入してスパッタリングする方法 (反応性スパッタリング法) 等が挙げられる。

本発明において特定する多結晶シリコン半導体層中に含まれている各種原子の量の測定は、炭素及び硫黄については、金属中炭素・硫黄同時分析装置 (Leco 社 CS-46 型)、酸素及び窒素については金属中酸素・窒素同時分析装置 (Leco 社 TC-36 型) を用いて行つた。試料は白金基板上に、約 10 ㎎ 分のシリコン半導体層を堆積させ、これを分析装置ホルダー中に装填し、元素重量を測定し層に含まれる原子の濃度を atomic% で算出した。

また、形成した薄膜半導体層が多結晶である事は電子顕微鏡 (日本電子社製 JEM-100U 型) の電子回折パターンがリング状あるいは、ばやけたスポット状となる事で確認した。

また、薄膜状の半導体層の光学吸収係数 (α) は、自記分光光度計 (日立製 323 型) を用

9

れる半導体層中に含ませるべき原子を供給する各種の原料ガスを層形成用の真空堆積室中に流して、グロー放電分解を行わせることによつて所望の基板上に形成される。

例えば、炭素を形成される半導体層中に含有させるには、メタン (CH_4)、エタン (C_2H_6)、プロパン (C_3H_8)、エチレン (C_2H_4) 等の炭化水素を初めとして、炭化弗素 (CF_4)、テトラメチルシラン [(CH_3)₄Si]、テトラエチルシラン [(C_2H_5)₄Si] 等を、又、硫黄を含有させるには、硫化水素 (H_2S)、六弗化硫黄 (SF_6) 等を、酸素を含有させるには、酸素 (O_2)、水 (H_2O) 等を、窒素を含有させるには、窒素 (N_2)、アンモニア (NH_3) 等を、各々、原料ガスとして用いることが出来る。

多結晶シリコン半導体層をスパッタリング法によつて作成する場合には、シリコンターゲットと共に、形成される半導体層中に含有させるべき原子を構成要素として含むターゲットを用いる方法 (共スパッタリング法)、シリコンター

8

いて測定した。非品質シリコン薄膜においてはしばしば $\sqrt{\alpha h\nu - h\nu}$ ($h\nu$ は測定光のエネルギー) プロットの直線部分を外挿し横軸と交差した点から光学吸収端 E_0 を求めるが、本発明によつて作製したサンプルでは明確な外挿値が求められないため、 $\lambda = 550 \text{ nm}$ における α の値 ($\alpha(550)$ と略記) を代表値とした。

次に本発明の半導体素子の一例としての TFT の作製プロセスについて、第 1 図に従つて説明する。この TFT は半導体層 101、電極層 107、オーミックコンタクト層 103、104、絶縁層 105 からなる電界効果トランジスタで、半導体層 101 に隣接しオーミックなコンタクトが形成されているソース電極 108、ドレイン電極 109 間に電圧を印加し、そこを流れる電流を絶縁層 105 を介して設けたゲート電極 110 にかけるバイアス電圧により変調される (第 1 図の工程 (d) に構造が示される)。まず基板 100 の洗浄を行つた後、多結晶シリコン薄膜半導体層 101 をその上に堆積させる [工程 (a)]。堆積法の詳細については

10

各実施例の所で述べる。その後オーミック層として n^+ (P-doped シリコン)層102を堆積し、ソース、ドレインをエッチングにより形成した〔工程(c)〕後、絶縁層105をその上に堆積させる〔工程(d)〕。絶縁層は、CVD、LPCVDで形成されるシリコンナイトライド、 SiO_2 、 Al_2O_3 等の材料で構成される。

次にソース、ドレインの電極用コンタクトホール106をあけ〔工程(e)〕て、上部電極ゲート、ソース、ドレインを配線して〔工程(f)及び(g)〕完成する。

本発明の多結晶シリコン薄膜トランジスタの安定性を判断する経時変化の測定に関しては次のような方法によつて行つた。

第2図に示す構造のTFTを作製しゲート201にゲート電圧 $V_G=40V$ 、ソース203とドレイン202間にドレイン電圧 $V_D=40V$ を印加しソース203とドレイン間に流れるドレイン電流 I_D をエレクトロメーター208(Keithley 610Cエレクトロメーター)により測定し、ドレイン

11

ノード側においた基板加熱ホルダー(面積452 cm^2)302に装着した。

その後ベルジャー301を拡散ポンプ309でバックグラウンド真空度 2.0×10^{-7} Torr以下まで排気を行なつた。この時、この真空度が悪いと反応性ガスが有効に膜析出に働かないばかりか膜の特性の再現性が失われるので注意を要した。次に T_g を上げて基板300の温度を500℃に保持した(基板温度は熱電対303で監視する)。次に、 H_2 ガスをマスフローコントローラー308で制御しながらベルジャー301内に導入して基板300表面をクリーニングした後、反応性気体を導入する様にした。基板温度 T_g は350℃に設定した。放電時のベルジャー301内の圧力は0.2 Torrに保持した。

本実施例においては、導入する反応性気体としては取扱いの容易な H_2 ガスで3 vol %に希釈した SiH_4 ガス(「 SiH_4 (3)/ H_2 」と略記する)及び同じく H_2 ガスで0.5 vol %に希釈したメタン(CH_4)ガス(「 CH_4 (0.5)/ H_2 」と略記する。)

13

電流の時間的変化を測定した。経時変化率は、500時間の連続動作後のドレイン電流の変動量を初期ドレイン電流で割りそれを100倍し%表示で表わした。

TFTの閾値電圧は、MOSFETで通常行われている $V_D - \sqrt{I_D}$ 曲線における直線部分を外挿し横軸と交差した点によつて定義した。経時変化前と後の V_{TH} の変化も同時にしらべ、変化量をボルトで表示した。

次に本発明の実施例について述べる。

実施例1

本実施例は、多結晶シリコン薄膜をグロー放電分解法で基板上に形成し、それを用いてTFTを作成したもので、多結晶シリコン薄膜の形成は第3図に示した装置を用いたものである。基板300はコーニングガラス#7059(0.5mm厚)を用いた。

先ず基板300を洗浄した後 $HF/HNO_3/CH_3COOH$ の混合液でその表面を軽くエッチングし、乾燥した後真空ベルジャー堆積室301内のア

12

を用いた。ガス流量は各々5 SCCMになるようにマスフローコントローラー304、及び307でコントロールして導入した。ベルジャー301内の圧力はベルジャー301の排気側の圧力調整バルブ310を調節し、絶体圧力計312を用いて所望の圧力に設定した。ベルジャー301内の圧力が安定した後、カソード電極313に13.56MHzの高周波電界を電源314によつて加え、グロー放電を開始させた。この時の電圧は0.7 kV、電流は60 mA、RF放電パワーは20 Wであつた。この条件で、放電を30分間持続し、多結晶シリコン膜の形成を終え、放電を中止させて原料ガスの流入も中止させた。次に基板温度を180℃まで下げて保持して次のプロセスに備えた。形成された膜の膜厚は3000Åでその均一性は円形リング型吹き出し口を用いた場合には、3インチ×3インチの基板の大きさに対して±10%内に取つていた。

又、この多結晶シリコン膜はp型で、抵抗値は $\approx 10^5 \Omega \cdot cm$ であつた。次にこの膜を使つて、

14

第1図に示す工程に従つて薄膜トランジスタ(TFT)を作成した。TFTのソース・ドレインのオーミックコンタクトを良好にせしめるために基板温度は180℃に保つた状態で、 n^+ シリコン層の形成を次のようにして行なつた。水素ガスで100 vol ppmに希釈された PH_3 ガス(「 PH_3 (1.00ppm)/ H_2 」と略記する)を、 H_2 で10 vol %に希釈された SiH_4 (「 SiH_4 (10)/ H_2 」と略記する)ガスに対して、mol比にして 5×10^3 の割合でベルジャー301内に流入させ、ベルジャー301内の圧力を0.12 Torrに調整してグロー放電を行ないPのドーパされた n^+ 層102を500 Åの厚さに形成した〔工程(b)〕。

次にAlを蒸着し、その後、工程(c)のようにフォトリソエッチングによりAl及び n^+ 層102をソース電極103の領域、ドレイン電極104の領域をのぞいて除去した。次にゲート絶縁膜を形成すべくベルジャー301内に再び上記の基板が、アノード側の加熱ホルダー302に装填された。多結晶シリコン薄膜を作成する場合と同

15

したTFT特性例が示されてある。ゲートのスレッショルド電圧 V_{th} は5 Vと低く、 $V_G=20$ Vでの $V_G=0$ の電流値の比は5ケタ以上とれている。TFTの作成に用いた多結晶シリコン薄膜の水素量及び、波長550 nmにおける膜の光学吸収係数($\alpha(550)$ と略記)を前記の方法で測定した結果を第1表に示してある。 H_2 で希釈した CH_4 のガス流量xは本実施例の5 SCCMと0 SCCM, 2 SCCM, 10 SCCM, 及び20 SCCMについて H_2 で希釈した CH_4 のガス流量のみを変化させ他の条件を同じにした場合の結果を示した。

これらの多結晶シリコン薄膜を用いて作製したTFTの実効キャリア移動度(μ_{eff})及び、ゲート電圧 $V_G=20$ Vにおけるドレイン電流値 $I_D(20)$ と、ゲート電圧 $V_G=0$ Vにおけるドレイン電流値 $I_D(0)$ の比(on/off比と略記する)も同じ表に示した。第1表より炭素濃度は0.01 atomic %程度から制御できる事が分り、さらに10 %程度まで増加させる事によつて $\mu_{eff} > 1$ を保

17

様にベルジャー301が排気され、基板温度 T_B を250℃として NH_3 ガスを20 SCCM, SiH_4 (SiH_4 (10)/ H_2)ガスを5 SCCM導入してグロー放電を生起させてSiNH膜105を2500 Åの厚さに堆積させた。

次にフォトリソエッチング工程によりソース電極103、ドレイン電極104用のコンタクトホール106-1, 106-2をあけ、その後でSiNH膜105全面にAlを蒸着して、電極膜107を形成した後、フォトリソエッチング工程によりAl電極膜107を加工してソース電極用取出し電極108、ドレイン電極用取出し電極109及びゲート電極110を形成した。この後、 H_2 雰囲気中で250℃の熱処理を行つた。以上の条件とプロセスに従つて形成されたTFT(チャンネル長 $L=20 \mu$ 、チャンネル幅 $W=650 \mu$)は安定で良好な特性を示した。

第4図にこの様にして試作したTFTの特性例を示す。第4図にはドレイン電流 I_D とドレイン電圧 V_D の関係をゲート電圧 V_G をパラメータに

16

らつ、 α とon/off比を効果的に変化させる事ができた。

本実施例では基板としてコーニング7059ガラスを用いたが、熱処理温度や基板温度を高くしても基板として超硬質ガラスや石英ガラスを採用することにより同様の特性を出す事ができた。従つて、本発明によれば低温度側より高温度側まで基板温度 T_B を広範囲内から基板材料に従つて自由に選択出来るという基板材料の選択範囲に著しい自由度がある為特性の優れたTFT蓄積回路をより安価に、より簡便な装置を用いて容易に作成することが出来る。

第1表

試料No	1-1	1-2	1-3	1-4	1-5
x (SCCM)	0.1<	2	5	10	20
Cの含有量(atm.%)	0.01<	2.1	4.5	8.3	12.4
$\alpha(550)$	4×10^4	2.7×10^4	1.4×10^4	9.0×10^3	2.0×10^4
$\mu_{eff} (cm^2/V \cdot sec)$	8.0	7.6	6.0	1.2	0.02
(on/off)比	9.0×10^4	4.2×10^3	1.2×10^3	1.3×10^4	2.0×10^3

試料No 1-5は非晶質

18

第 2 表

試料 No	2-1	2-2	2-3	2-4	2-5
x (SCCM)	0	2	5	10	20
S の濃度 (atm.%)	<0.01	0.8	2.1	4.3	8.2
α (550)	4×10^4	3.4×10^4	2.8×10^4	2.5×10^4	2.1×10^4
μ_{eff} (cm ² /V ^{sec})	8.0	7.2	2.0	0.9	0.1
(on/off) 比	9.0×10^2	7.5×10^3	2.3×10^4	8.2×10^3	1.2×10^2

SiH₄(3)/H₂ のガス流量 5 SCCM
 CH₄(0.5)/H₂ のガス流量 x SCCM
 放電パワー 20 W
 圧力 0.05 Torr
 基板温度 (T_g) 500°C

実施例 2

実施例 1 と同様の手順によつて、SiH₄(3)/H₂ ガスと同時に H₂ ガスで 0.2 vol % に希釈した SF₆ ガス (SF₆(0.2)/H₂ と略記する。) を 0, 2, 5, 10, 20 SCCM の、5 種類のガス流量で流す以外は、実施例 1 と同様の条件と手順に従つて、シリコン薄膜を基板上に作製し、又、同薄膜層を用いて実施例 1 と同様に T F T を作成し、これ等について実施例 1 と同様の測定を行つた。その結果を第 2 表に示す。

SiH₄(3)/H₂ のガス流量 5 SCCM
 SF₆(0.5)/H₂ のガス流量 x SCCM
 放電パワー 20 W
 圧力 0.05 Torr
 基板温度 (T_g) 500°C

実施例 3

実施例 1 と同様の条件と手順によつて、従つて、基板上にシリコン薄膜層を形成した。ただし SiH₄(3)/H₂ を流し始める前にベルジャー内に酸素をバリアブルリークバルブを介して導入した。酸素のガス流量は微小なため、真空度がバックグラウンド真空度からどれだけ上昇するか

19

20

測定し乍ら調節し、この圧力差を 0, 2.0×10^{-7} Torr, 5.0×10^{-7} Torr, 1.0×10^{-6} Torr, 2.0×10^{-6} Torr の 5 種類としてシリコン薄膜層を作成した。又、同薄膜層を用いて、実施例 1 と同様に T F T を作成した。これ等について実施例 1 と同様の方法で測定を行つた。その結果を第 3 表に示す。

第 3 表

試料 No	3-1	3-2	3-3	3-4	3-5*
x (Torr)	0.0	0.2	0.5	1.0	2.0
O の濃度 (atm.%)	0.03	0.9	2.3	5.1	8.3
α (550)	4×10^4	2.3×10^4	1.2×10^4	6.0×10^3	5.0×10^3
μ_{eff} (cm ² /V ^{sec})	8.0	3.1	1.4	0.8	0.005
(on/off) 比	9.0×10^2	1.8×10^4	1.6×10^4	2.3×10^3	5.6×10^2

試料 No 3-5 は非晶質

SiH₄(3)/H₂ のガス流量 5 SCCM
 放電パワー 20 W
 圧力 0.05 Torr
 基板温度 (T_g) 500°C

実施例 4

実施例 1 と同様の手順によつてシリコン薄膜層を基板上に作成した。ただし、SiH₄(3)/H₂ ガスと同時に N₂ ガスを 0 SCCM, 2 SCCM, 5 SCCM, 10 SCCM, 20 SCCM の 5 種類のガス流量で流してシリコン薄膜層を作製し、又、同薄膜層を用いて実施例 1 と同様に T F T を作成し、これ等について実施例 1 と同様の測定を行つた。その結果を第 4 表に示す。

第 4 表

試料 No	4-1	4-2	4-3	4-4	4-5
x (SCCM)	0.0	2.0	5.0	10.0	20.0
N の濃度	0.01	1.5	3.7	6.2	10.1
α (550)	4×10^4	2.8×10^4	1.5×10^4	7.4×10^3	4.5×10^3
μ_{eff} (cm ² /V ^{sec})	8.0	4.8	2.3	1.1	0.2
(on/off) 比	9.0×10^2	3.7×10^3	9.5×10^4	5.7×10^4	2.6×10^2

SiH₄(3)/H₂ のガス流量 5 SCCM
 N₂ のガス流量 x SCCM
 放電パワー 20 W
 圧力 0.05 Torr
 基板温度 (T_g) 500°C

21

-304-

22

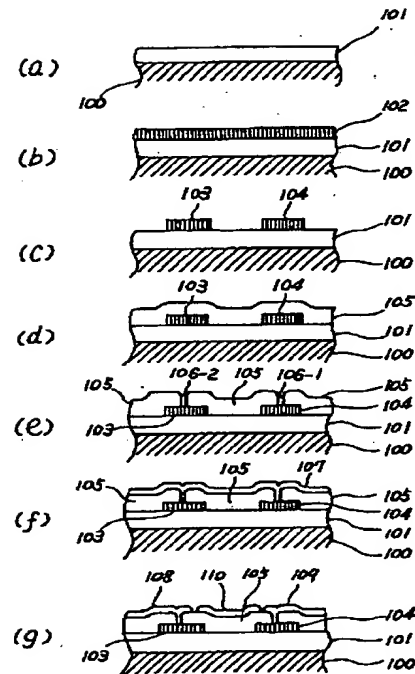
4. 図面の簡単な説明

第1図は、本発明の半導体素子の作成工程を説明する為の模式的工程図、第2図は、本発明に於いて、作成されたTFTのTFT特性を測定する為の回路を説明する為の模式的回路図、第3図は、本発明の半導体素子用のシリコン薄膜層を作成する為の装置の一例を説明する模式的説明図、第4図は、本発明のTFTの特性の一例を示すグラフである。

100…基板、101…薄膜半導体層、102… n^+ 層、103、104…オーミックコンタクト層、105…絶縁層、106…コンタクトホール、107…電極層、108…ソース電極、109…ドレイン電極。

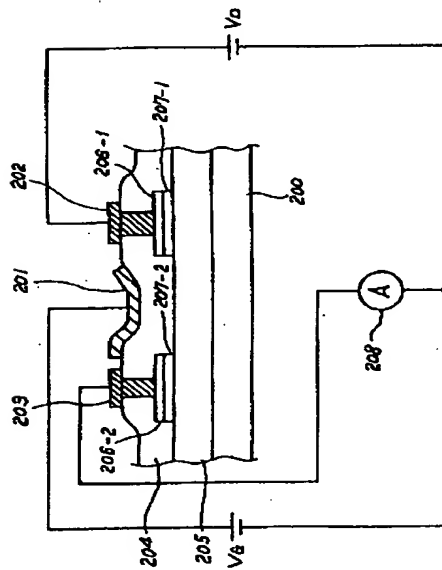
出 願 人 キヤノン株式会社
代 理 人 丸 島 儀

第 1 図

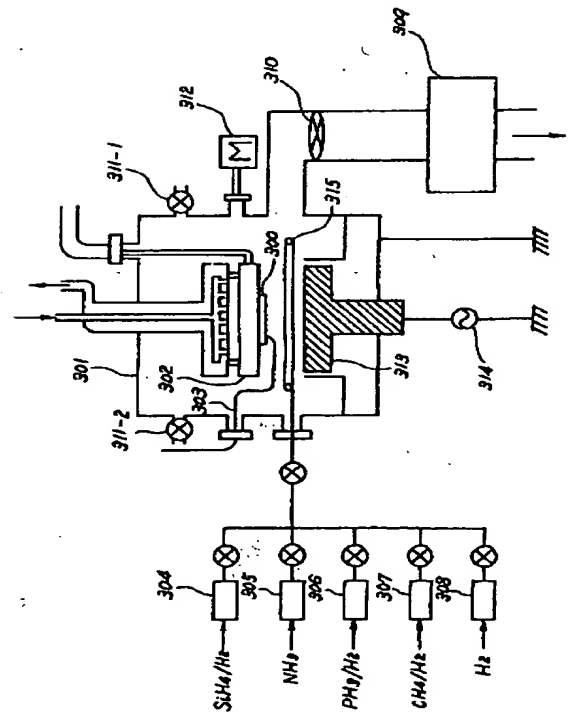


23

第 2 図



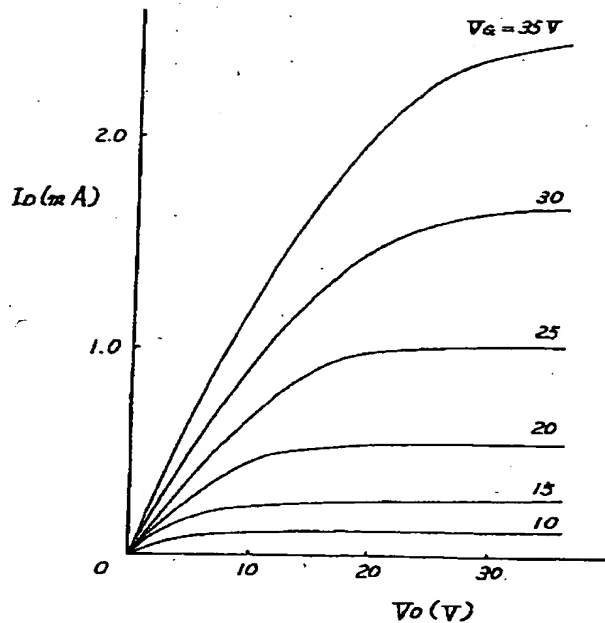
第 3 図



昭和58年3月19日

特許庁長官 若杉和夫 殿

第4図



1. 事件の表示

昭和57年 特許願 第 82651 号

2. 発明の名称

半導体素子

3. 補正をする者

事件との関係 特許出願人

住所 東京都大田区下丸子3-30-2

名称 (100) キヤノン株式会社

代表者 賀来龍三郎

4. 代理人

居所 同146 東京都大田区下丸子3-30-2

キヤノン株式会社内(電話 758-2111)

氏名 (6987) 弁護士 丸島 儀一

5. 補正の対象

明細書

6. 補正の内容

明細書全文を別紙のとおり補正する。

(全文訂正) 明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

- (1) 炭素、硫黄、窒素、酸素の中から選択される少なくとも1つを構成要素として含有する多結晶シリコン半導体層で、その主要部を構成したことを特徴とする半導体素子。
- (2) 炭素が0.01~10 atomic%含有されている特許請求の範囲第1項に記載の半導体素子。
- (3) 硫黄が0.01~5 atomic%含有されている特許請求の範囲第1項に記載の半導体素子。
- (4) 窒素が0.01~5 atomic%含有されている特許請求の範囲第1項に記載の半導体素子。
- (5) 酸素が0.05~5 atomic%含有されている特許請求の範囲第1項に記載の半導体素子。

3. 発明の詳細な説明

本発明は電界効果薄膜トランジスタ等の半導体素子に関し、更に詳細には多結晶シリコン薄膜半導体層でその主要部を構成した半導体素子に関する

るものである。

最近、画像読取用としての、長尺化一次元フォトセンサや大面積化二次元フォトセンサ等の画像読取装置の走査回路部、或いは^{液晶}（LCと略記する）や、エレクトロクロミー材料（ECと略記する）或いはエレクトロルミネッセンス材料（ELと略記する）を利用した画像表示デバイスの駆動回路部を、これ等の大面積化に伴つて所定の基板上に形成したシリコン薄膜を素材として形成することが提案されている。

斯かるシリコン薄膜は、より高速化、より高機能化された大型の画像読取装置や画像表示装置の実現から、非晶質であるよりも多結晶であることが望まれている。その理由の1つとして上記の如き^{高速}、高機能の読取装置の走査回路部や画像表示装置の駆動回路部を形成するための素材となるシリコン薄膜の性能を表わす値として例えば薄膜トランジスタ（TFT）の実効キャリア移動度（effective carrier mobility） μ_{eff} としては、大きいことが要求されるが、通常の放電分解法で

2

亘つて作成する方法としては、

CVD（Chemical Vapour Deposition）法、LP-CVD（Low Pressure Chemical Vapour Deposition）法、MBE（Molecular Beam Epitaxy）法、IP（Ion Plating）法、GD（Glow Discharge）法等が知られている。

いずれの方法においても、基板温度は異なるが、大面積の基板の上に多結晶シリコン薄膜が作製できることが知られている。

しかしながら、従来、これらの方法によつて作製された多結晶シリコン薄膜半導体層で主要部を構成した半導体素子或いは半導体デバイスが所望された特性及び信頼性を充分発揮できないのが現状であつた。

本発明は上記諸点に鑑み成されたもので、従来の諸問題を解決した半導体素子を提供することを主たる目的とする。

本発明の別の目的は、優れた半導体特性と、高い信頼性を有する半導体素子を提供することでもある。

得られる非晶質シリコン薄膜においては精々0.1 $\text{cm}^2/\text{V}\cdot\text{sec}$ 程度であつて、単結晶シリコンで作成したMOS型トランジスタに較べて遙かに劣り、所望の要求を満たすものでないことが挙げられる。この移動度 μ_{eff} の小ささは、1つには非晶質シリコン薄膜固有の特性であるHall移動度が小さいことから、非晶質シリコン薄膜は薄膜作成上の容易さと生産コストの安価を生かし切れないという不都合さを内在している。又、非晶質シリコンは本質的に経時変化が内在していて単結晶に比べて劣る。

これに対して、多結晶シリコン薄膜は、実際に測定されたデータからも非晶質シリコン薄膜に較べてHall移動度自体が大きく、薄膜トランジスタにしたときのその移動度 μ_{eff} が遙かに大きく、理論的には現在得られている値よりも、更に大きな値の移動度 μ_{eff} を有するものが作成され得る可能性を有している。又、経時変化に関しても安定であることが期待される。

多結晶シリコン薄膜を所定の基板上に大面積に

3

本発明の半導体素子は、炭素、硫黄、酸素の中から選択される少なくとも1つを構成要素として含有する多結晶シリコン半導体層で、その主要部を構成したことを特徴とする。

上記の様な構成とすることによつて、前述した問題の幾つかが解決し得、優れた半導体特性と高い信頼性を有する半導体素子と成り得る。

本発明の半導体素子は、上記の構成を有するものであるが、更に効果的に本発明の目的を達成するには、多結晶シリコン半導体層中に含有される水素原子の濃度、半導体層のエッチング速度、層表面の凹凸性、更には多結晶の配向性や結晶粒径の値が特定の数値範囲内の値を取る様に多結晶シリコン半導体層を形成すれば良い。

本発明の半導体素子における多結晶シリコン半導体層には、前記した様に炭素、硫黄、窒素、酸素の中から選択されたものを含むものである。これ等の中から選択されるのは2種以上であつても良い。

本発明の半導体素子における多結晶シリコン半

導体層中に炭素が含有される場合は炭素の量が好ましくは0.01~10 atomic%、より好ましくは~~0.01~10 atomic%、より好ましくは~~0.01~8 atomic%含有されていることが望ましい。

本発明の半導体素子における多結晶シリコン半導体層中に硫黄が含有される場合は硫黄の量が好ましくは0.01~5 atomic%、より好ましくは0.03~5 atomic%含有されていることが望ましい。

本発明の半導体素子における多結晶シリコン半導体層中に窒素が含有される場合は窒素の量が好ましくは0.01~5 atomic%、より好ましくは0.01~4 atomic%含有されていることが望ましい。

本発明の半導体素子における多結晶シリコン半導体層中に酸素が含有される場合は酸素の量が好ましくは0.03~5 atomic%、より好ましくは0.03~4 atomic%含有されていることが望ましい。

本発明の半導体素子における多結晶シリコン半導体層中には水素原子が含有されるのが望ましい。本発明の半導体素子における多結晶シリコン半導体層中に含有される水素原子の量は、好ましくは、

6

導体素子への応用が充分可能となる。

例えば、従来法に従って作成された多結晶シリコン薄膜を用いてnチャネル型電界効果薄膜トランジスタ(FET)を作成した場合、ゲート電圧を充分低くしているにも拘らず、この状態のドレイン電流(I_{off})が、ゲート電圧が充分高い状態のドレイン電流(I_{on})に比べて、充分小さくならない場合が、度々起るのが、本発明の半導体素子においては全く生じない。

又、読取装置の読取部と走査回路部や画像表示装置の画像表示部と駆動回路部とを一体化構成とし、走査回路部や駆動回路部の主要部を多結晶シリコン薄膜で構成する場合、これ等の回路部は外部からの光に晒される機会が多いが、本発明の半導体素子の場合には、半導体層の光吸収係数が著しく小さいので、この様な問題は実用上殆んど無視することが出来、本発明の半導体素子でその主要部を構成すれば優れた回路特性を有する回路部を得ることが出来る。

本発明の半導体素子の主要部を構成する多結晶

8

3 atomic%以下、より好ましくは、0.01~3 atomic%とされるのが望ましく、或いは又、形成される半導体層の層表面の凹凸の最大が実質的に800 Å以下であるのが望ましい。

更には、弗酸(50 vol%水溶液)・硝酸(α -1.38、60 vol%水溶液)・氷酢酸から成り、それ等の混合比が1:3:6であるエッチング液によるエッチング速度が20 Å/sec以下の特性を有する様に半導体層を形成するのが望ましい。或いは、更に、X線回折パターン又は電子線回折パターンによる(220)の回折強度の割合が全回折強度に対して30%以上であるのが好ましい。又、半導体層を構成する多結晶シリコンの結晶粒径としては、平均結晶粒径として200 Å以上であるのが望ましい。

これ等の上記条件を1つ以上、本発明の構成要件の1つとして加味することによつて、従来例に較べ、より高い比抵抗(ρ)より小さい光学吸収係数(α)を有する多結晶シリコン半導体層が所望の基板上に形成され、より広範囲の分野に渡る半

7

シリコン半導体層は、水素や、 H_2 , Ar, Kr等の稀ガス等で所望濃度に希釈された SiH_4 , Si_2H_6 , Si_3H_8 , Si_4H_{10} 等のシランガスと同時に、形成される半導体層中に含ませるべき原子を供給する各種の原料ガスを層形成用の真空堆積室中に流して、グロー放電分解を行わせることによつて所望の基板上に形成される。

例えば、炭素を形成される半導体層中に含有させるには、メタン(CH_4)、エタン(C_2H_6)、プロパン(C_3H_8)、エチレン(C_2H_4)等の炭化水素を初めとして、炭化弗素(CF_4)、テトラメチルシラン($(CH_3)_4Si$)、テトラエチルシラン($(C_2H_5)_4Si$)等を、又、硫黄を含有させるには、硫化水素(HS)、六弗化硫黄(SF_6)等を、酸素を含有させるには、酸素(O_2)、水(H_2O)等を、窒素を含有させるには、窒素(N_2)、アンモニア(NH_3)等を、各々、原料ガスとして用いることが出来る。

多結晶シリコン半導体層をスパッタリング法によつて作成する場合には、シリコンターゲットと共

9

に、形成される半導体層中に含有させるべき原子を構成要素として含むターゲットを用いる方法（共スパッタリング法）、シリコンターゲットをスパッタリングする際に前記した各種ガスの中より所望に従つて選択される原料ガスを導入してスパッタリングする方法（反応性スパッタリング法）等が挙げられる。

本発明において特定する多結晶シリコン半導体層中に含まれている各種原子の量の測定は、炭素及び硫黄については、金属中炭素・硫黄同時分析装置（Leco社CS-46型）、酸素及び窒素については金属中酸素・窒素同時分析装置（Leco社TO-36型）を用いて行つた。試料は白金基板上に、約10mg分のシリコン半導体層を堆積させ、これを分析装置ホルダー中に装填し、元素重量を測定し層中に含まれる原子の濃度をatom%で算出した。

また、形成した薄膜半導体層が多結晶であることは電子顕微鏡（日本電子社製JEM-100U型）の電子回折パターンがリング状あるいは、ぼやけ

10

に構造が示される）。まず基板100の洗浄を行つた後、多結晶シリコン薄膜半導体層101をその上に堆積させる（工程(a)）。堆積法の詳細については各実施例の所で述べる。その後オーミック層として n^+ （P-dopedシリコン）層102を堆積し、ソース、ドレインをエッチングにより形成した（工程(a)）後、絶縁層105をその上に堆積させる（工程(a)）。絶縁層は、CVD、LPCVDで形成されるシリコンナイトライド、 SiO_2 、 Al_2O_3 等の材料で構成される。

次にソース、ドレインの電極用コンタクトホール106をあけ（工程(b)）て、上部電極ゲート、ソース、ドレインを配線して（工程(c)及び(d)）完成する。

本発明の多結晶シリコン薄膜トランジスタの安定性を判断する経時変化の測定に関しては次のような方法によつて行つた。

第2図に示す構造のTFETを作製しゲート201にゲート電圧 $V_g=40\text{V}$ 、ソース203とドレイン202間にドレイン電圧 $V_d=40\text{V}$ を印加しソース

たスポット状となることで確認した。

また、薄膜状の半導体層の光学吸収係数 (α) は、自記分光光度計（日立製323型）を用いて測定した。非晶質シリコン薄膜においてはしばしば $\sqrt{\alpha h\nu} \sim h\nu$ （ $h\nu$ は測定光のエネルギー）プロットの直線部分を外挿し横軸と交差した点から光学吸収端 E_0 を求めるが、本発明によつて作製したサンプルでは明確な外挿値が求められないため、 $\lambda=550\text{nm}$ における α の値（ $\alpha(550)$ と略記）を代表値とした。

次に本発明の半導体素子の一例としてのTFETの作製プロセスについて、第1図に従つて説明する。このTFETは半導体層101、電極層107、オーミックコンタクト層103、104、絶縁層105からなる電界効果トランジスタで、半導体層101に隣接しオーミックなコンタクトが形成されているソース電極108、ドレイン電極109間に電圧を印加し、そこを流れる電流を絶縁層105を介して設けたゲート電極110にかけるバイアス電圧により変調される（第1図の工程(a)

11

203とドレイン間に流れるドレイン電流 I_D をエレクトロメーター208（Keithley 610Cエレクトロメーター）により測定し、ドレイン電流の時間的変化を測定した。経時変化率は、500時間の連続動作後のドレイン電流の変動量を初期ドレイン電流で割りそれを100倍し%表示で表わした。

TFETの閾値電圧は、MOSFETで通常行われている $V_D - \sqrt{I_D}$ 曲線における直線部分を外挿し横軸と交差した点によつて定義した。経時変化前と後の V_{TH} の変化も同時にしらべ、変化量をボルトで表示した。

次に本発明の実施例について述べる。

実施例 1

本実施例は、多結晶シリコン薄膜をグロー放電分解法で基板上に形成し、それを用いてTFETを作成したもので、多結晶シリコン薄膜の形成は第3図に示した装置を用いたものである。基板500はコーニングガラス7059（0.5mm厚）を用いた。

12

13

先ず基板300を洗浄した後 $\text{HF}/\text{HNO}_3/\text{CH}_3\text{COOH}$ の混合液でその表面を軽くエッチングし、乾燥した後真空ベルジャー堆積室301内のアノード側においた基板加熱ホルダー(面積452 cm^2)302に装着した。

その後ベルジャー301を拡散ポンプ309でバックグラウンド真空度 2.0×10^{-7} Torr以下まで排気を行なった。このとき、この真空度が悪いと反応性ガスが有効に膜析出に働かないばかりか膜の特性の再現性が失われるので注意を要した。次に T_s を上げて基板300の温度を500℃に保持した(基板温度は熱電対303で監視する)。次に、 H_2 ガスをマスフローコントローラー308で制御しながらベルジャー301内に導入して基板300表面をクリーニングした後、反応性気体を導入する様にした。基板温度 T_s は350℃に設定した。放電時のベルジャー301内の圧力は0.2 Torrに保持した。

本実施例においては、導入する反応性気体としては取扱いの容易な H_2 ガスで3 vol %に希釈した

14

又、この多結晶シリコン膜はn型で、抵抗値は $\approx 10^8 \Omega \cdot \text{cm}$ であつた。次にこの膜を使つて、第1図に示す工程に従つて薄膜トランジスタ(TFT)を作成した。TFTのソース・ドレインのオーミックコンタクトを良好にせしめるために基板温度は180℃に保つた状態で、 n^+ シリコン層の形成を次のようにして行なった。水素ガスで100 vol ppmに希釈された PH_3 ガス(「 PH_3 (100 ppm)/ H_2 」と略記する)を、 H_2 で10 vol %希釈された SiH_4 (「 SiH_4 (10)/ H_2 」と略記する)ガスに対して、mol比にして 5×10^{-3} の割合でベルジャー301内に流入させ、ベルジャー301内の圧力を0.12 Torrに調整してグロー放電を行ないPのドーピングされた n^+ 層102を500 Åの厚さに形成した(工程(c))。

次にAlを蒸着し、その後、工程(d)のようにフォトリソエッチングによりAl及び n^+ 層102をソース電極103の領域、ドレイン電極104の領域をのぞいて除去した。次にゲート絶縁膜を形成すべくベルジャー301内に再び上記の基板が、アノ-

SiH_4 ガス(「 SiH_4 (3)/ H_2 」と略記する)及び同じく H_2 ガスで0.5 vol %に希釈したメタン(CH_4)ガス(「 CH_4 (0.5)/ H_2 」と略記する。)を用いた。ガス流量は各々5 SCCMになるようにマスフローコントローラー304、及び307でコントロールして導入した。ベルジャー301内の圧力はベルジャー301の排気側の圧力調整バルブ310を調節し、絶体圧力計312を用いて所望の圧力に設定した。ベルジャー301内の圧力が安定した後、カソード電極313に13.56 MHzの高周波電界を電源314によつて加え、グロー放電を開始させた。このときの電圧は0.7 KV、電流は60 mA、RF放電パワーは20 Wであつた。この条件で、放電を30分間持続し、多結晶シリコン膜の形成を終え、放電を中止させて原料ガスの流入も中止させた。次に基板温度を180℃まで下げて保持して次のプロセスに備えた。形成された膜の膜厚は3000 Åでその均一性は円形リング型吹き出し口を用いた場合には、3インチ×3インチの基板の大きさに対して ± 10 %内に取つていた。

15

ド側の加熱ホルダー302に装填された。多結晶シリコン薄膜を作成する場合と同様にベルジャー301が排気され、基板温度 T_s を250℃として NH_3 ガスを20 SCCM、 SiH_4 (SiH_4 (10)/ H_2)ガスを5 SCCM導入してグロー放電を生起させて SiNH 膜105を2500 Åの厚さに堆積させた。

次にフォトリソエッチング工程によりソース電極103、ドレイン電極104用のコンタクトホール106-1、106-2を明け、その後で SiNH 膜105全面にAlを蒸着して、電極膜107を形成した後、ホトリソエッチング工程によりAl電極膜107を加工してソース電極用取出し電極108、ドレイン電極用取出し電極109及びゲート電極110を形成した。この後、 H_2 雰囲気中で250℃の熱処理を行つた。以上の条件とプロセスに従つて形成されたTFT(チャンネル長 $L=20 \mu$ 、チャンネル幅 $W=650 \mu$)は安定で良好な特性を示した。

第4図にこの様にして試作したTFTの特性例を示す。第4図にはドレイン電流 I_D とドレイン電

圧 V_D の関係をゲート電圧 V_G をパラメータにしたTFT特性例が示されてある。ゲートのスレッシュホールド電圧 V_{th} は5Vと低く、 $V_G=20V$ での $V_G=0$ の電流値の比は5ケタ以上とれている。TFTの作成に用いた多結晶シリコン薄膜の水素量及び、波長550nmにおける膜の光学吸収係数(α (550)と略記)を前記の方法で測定した結果を第1表に示してある。 H_2 で希釈した CH_4 のガス流量 x は本実施例の5SCCMと0SCCM, 2SCCM, 10SCCM, 及び20SCCMについて H_2 で希釈した CH_4 のガス流量のみを変化させ他の条件を同じにした場合の結果を示した。

これらの多結晶シリコン薄膜を用いて作製したTFTの実効キャリア移動度(μ_{eff})及び、ゲート電圧 $V_G=20V$ におけるドレイン電流値 $I_D(20)$ と、ゲート電圧 $V_G=0V$ におけるドレイン電流値 $I_D(0)$ の比(on/off比と略記する。)も同じ表にした。第1表より炭素濃度は0.01atomic%程度から制御できることが分り、さらに10%程度まで増加させることによつて $\mu_{eff}>1$ を保ちつつ、

18

第 1 表

試料No.	1-1	1-2	1-3	1-4	1-5*
x (SCCM)	0.1<	2	5	10	20
Cの含有量(atomic%)	0.01<	2.1	4.5	8.3	12.4
α (550)	4×10^4	2.7×10^4	1.4×10^4	8.0×10^3	2.0×10^4
$\mu_{eff}(cm^2/V \cdot sec)$	8.0	7.8	8.0	1.2	0.02
(on/off)比	9.0×10^2	4.2×10^3	1.2×10^5	1.3×10^4	2.0×10^2

* 試料No. 1-5は非晶質

SiH₄(3)/H₂のガス流量 ----- 5SCCMCH₄(0.5)/H₂のガス流量 ----- x SCCM

放電パワー ----- 20W

圧 力 ----- 0.05 Torr

基板温度(Ts) ----- 500℃

α とon/off比を効果的に変化させることができた。

本実施例では基板としてコーニング7059ガラスを用いたが、熱処理温度や基板温度を高くしても基板として超硬質ガラスや石英ガラスを採用することにより同様の特性を出すことができた。従つて、本発明によれば低温度側より高温度側まで基板温度 T_s を広範囲内から基板材料に従つて自由に選択できるという基板材料の選択範囲に著しい自由度があるために特性の優れたTFT蓄積回路をより安価に、より簡便な装置を用いて容易に作成することが出来る。

19

実施例 2

実施例1と同様の手順によつて、SiH₄(3)/H₂ガスと同時にH₂ガス0.2 vol%に希釈したSF₆ガス(SF₆(0.2)/H₂と略記する。)を0, 2, 5, 10, 20SCCMの、5種類のガス流量で流す以外は、実施例1と同様の条件と手順に従つて、シリコン薄膜を基板上に作製し、又、同薄膜層を用いて実施例1と同様にTFTを作成し、これ等について実施例1と同様の測定を行つた。その結果を第2表に示す。

第2表より炭素濃度は0.01atomic%程度から制御できることが分り、さらに5atomic%程度まで増加させることによつて $\mu_{eff}>1$ を保ちつつ、 α とon/off比を効果的に変化させることができた。

20

21

第 2 表

試料No.	2-1	2-2	2-3	2-4	2-5
x (SCCM)	0	2	5	10	20
Sの濃度(atm.%)	<0.01	0.8	2.1	4.3	8.2
α (SSO)	4×10^4	3.4×10^4	2.8×10^4	2.5×10^4	2.1×10^4
$\mu_{eff}(cm^2/V \cdot sec)$	8.0	7.2	2.0	0.8	0.1
(on/off)比	8.0×10^2	7.5×10^3	2.3×10^4	8.2×10^2	1.2×10^2

SiH₄(3)/H₂のガス流量 ——— 5SCCMSF₆(0.5)/H₂のガス流量 ——— xSCCM

放電パワー ——— 20W

圧 力 ——— 0.05Torr

基板温度(Ts) ——— 500℃



22

第 3 表

試料No.	3-1	3-2	3-3	3-4	3-5*
x (Torr)	0.0	0.2	0.5	1.0	2.0
Oの濃度(atm.%)	0.03	0.8	2.3	5.1	8.3
α (SSO)	4×10^4	2.3×10^4	1.2×10^4	6.0×10^3	5.0×10^3
$\mu_{eff}(cm^2/V \cdot sec)$	8.0	3.1	1.4	0.8	0.005
(on/off)比	9.0×10^2	1.0×10^4	1.8×10^4	2.3×10^3	5.8×10^2

* 試料No. 3-5は非晶質

SiH₄(3)/H₂のガス流量 ——— 5SCCM

放電パワー ——— 20W

圧 力 ——— 0.05Torr

基板温度(Ts) ——— 500℃



24

実施例 3

実施例1と同様の条件と手順によつて、基板上にシリコン薄膜層を形成した。ただしSiH₄(3)/H₂を流し初める前にベルジャー内に酸素をペリアプルリークバルブを介して導入した。酸素のガス流量は微小なため、真空度がバックグラウンド真空度からどれだけ上昇するか測定し乍ら調節し、この圧力差を0, 2.0×10^{-7} Torr, 5.0×10^{-7} Torr, 1.0×10^{-6} Torr, 2.0×10^{-6} Torrの5種類としてシリコン薄膜層を形成した。又、同薄膜層を用いて、実施例1と同様にしてTFEを作成した。これ等にて実施例1と同様の方法で測定を行った。その結果を第3表に示す。

第3表より酸素濃度は0.03atomic%程度から制御できることが分り、さらに5atomic%程度まで増加させることによつて $\mu_{eff} > 1$ を保ちつつ、 α とon/off比を効果的に変化させることができた。

23

実施例 4

実施例1と同様の手順によつてシリコン薄膜層を基板上に作成した。ただし、SiH₄(3)/H₂ガスと同時にN₂ガスを0SCCM, 2SCCM, 5SCCM, 10SCCM, 20SCCMの5種類のガス流量で流してシリコン薄膜層を作製し、又、同薄膜層を用いて実施例1と同様にしてTFEを作成し、これ等にて実施例1と同様の測定を行った。その結果を第4表に示す。

第4表より窒素濃度は0.01atomic%程度から制御できることが分り、さらに5atomic%程度まで増加させることによつて $\mu_{eff} > 1$ を保ちつつ、 α とon/off比を効果的に変化させることができた。



25

第 4 表

試料No.	4-1	4-2	4-3	4-4	4-5
x (SCCM)	0.0	2.0	5.0	10.0	20.0
Nの濃度	0.01	1.5	3.7	6.2	10.1
α (550)	4×10^4	2.8×10^4	1.5×10^4	7.4×10^3	4.5×10^3
$\mu_{eff}(\text{cm}^2/\text{V} \cdot \text{sec})$	8.0	4.8	2.3	1.1	0.2
(on/off)比	9.0×10^2	3.7×10^3	8.5×10^4	5.7×10^4	2.8×10^3

SiH₄(s)/H₂のガス流量 ———— 5SCCMH₂のガス流量 ———— xSCCM

放電パワー ———— 20W

圧 力 ———— 0.05 Torr

基板温度(Ts) ———— 500℃



4. 図面の簡単な説明

第1図は、本発明の半導体素子の作成工程を説明するための模式的工程図、第2図は、本発明において、作成されたTFTのTFT特性を測定するための回路を説明するための模式的回路図、第3図は、本発明の半導体素子用のシリコン薄膜を作成するための装置の一例を説明する模式的説明図、第4図は、本発明のTFTの特性の一例を示すグラフである。

100・・・基板、101・・・薄膜半導体層、102・・・n⁺層、103、104・・・オーミックコンタクト層、105・・・絶縁層、106・・・コンタクトホール、107・・・電極層、108・・・ソース電極、109・・・ドレイン電極。

出願人 キヤノン株式会社

代理人 丸 島 儀

